

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-224340

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月6日

H 01 L 21/336
21/20
21/263
29/784

7739-5F

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平1-45608

⑰ 出 願 平1(1989)2月27日

⑱ 発 明 者 橋 爪 勉 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑲ 発 明 者 矢 崎 正 俊 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑳ 発 明 者 湯 田 坂 一 夫 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

㉑ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

㉒ 代 理 人 弁理士 上柳 雅 登 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁基板の上に、所定のパターンを有する多結晶シリコン膜、又は該多結晶シリコン膜をアニール処理して結晶化したシリコン膜を形成する工程と、前記シリコン膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に、ゲート電極膜を形成する工程と、以上の工程を経た基板の上に拡散不純物を含む絶縁膜を形成する工程と、前記絶縁膜に含まれる不純物をレーザー照射して前記絶縁膜に含まれる不純物を前記シリコン中に選択的に拡散し拡散層を形成する工程と、拡散工程を経た基板の上に不純物を含まない絶縁膜を形成する工程と、前記不純物を含まない絶縁膜と不純物拡散用絶縁膜とを貫通し、前記拡散層に至る開孔部及び前記ゲート電極膜に至る開孔部をそれぞれ形成する

工程と、前記開孔部を通して前記拡散層及び前記ゲート電極膜に至る開孔部をそれぞれ形成する工程と、前記開孔部を通して前記拡散層及び前記ゲート電極膜にそれぞれ接続された電極引出用金属膜を形成する工程とからなることを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、S O I (Silicon On Insulator) 型 M O S トランジスタの製造方法に関するものである。

[従来の技術]

一般に、半導体から電極を引き出す場合、高濃度不純物拡散領域を形成しその部分を電極とのコンタクト部とする。従来、公開特許公報昭62-117371のようにその高濃度不純物拡散領域を形成する場合は、減圧、常圧 C V D で作製された P S G (リンガラス) や B S G (ホウ素ガラス)

等を拡散剤として使用し、不活性ガス雰囲気中で熱処理を施していた。

〔発明が解決しようとする課題〕

しかしながら以上の方法は、拡散のための熱処理を高温で、例えば1000℃で施されるため、絶縁基板には石英のような一部の材質に限られ、歪点が600℃から700℃程度の絶縁基板、(例えば、コーニング社製 7059 ガラス)を使うことができないため製造コストが高くなるという問題点を有する。

そこで本発明はこのような問題点を解決するもので、歪点の低いガラスのような絶縁基板上に不純物拡散層を形成し、その拡散層からソース、ドレイン電極を引き出すようにした、薄膜トランジスタの製造方法を提供するものである。

〔課題を解決するための手段〕

本発明の薄膜トランジスタの製造方法は、絶縁基板上に、所定のパターンを有する多結晶シリコン膜、又はこの多結晶シリコン膜をアニール処理して結晶化したシリコン膜を形成する工程と、シリコン膜上にゲート絶縁膜を形成する工程と、以上の工程を経た基板上に拡散用不純物を含む絶縁膜を形成する工程と、レーザー照射して絶縁膜に含まれる不純物を選択的に拡散し、拡散層を形成する工程と、拡散工程を経た基板上に不純物を含まない絶縁膜を形成する工程と、不純物を含まない絶縁膜と不純物拡散用絶縁膜とを貫通し、拡散層に至る開孔部及びゲート絶縁膜に至る開孔部をそれぞれ形成する工程と、開孔部を通して拡散層及びゲート電極膜にそれぞれ接続された電極引き出し用金属膜を形成する工程を特徴とする。

ン膜、又はこの多結晶シリコン膜をアニール処理して結晶化したシリコン膜を形成する工程と、シリコン膜上にゲート絶縁膜を形成する工程と、以上の工程を経た基板上に拡散用不純物を含む絶縁膜を形成する工程と、レーザー照射して絶縁膜に含まれる不純物を選択的に拡散し、拡散層を形成する工程と、拡散工程を経た基板上に不純物を含まない絶縁膜を形成する工程と、不純物を含まない絶縁膜と不純物拡散用絶縁膜とを貫通し、拡散層に至る開孔部及びゲート絶縁膜に至る開孔部をそれぞれ形成する工程と、開孔部を通して拡散層及びゲート電極膜にそれぞれ接続された電極引き出し用金属膜を形成する工程を特徴とする。

〔実施例〕

以下図面を参照して実施例を詳細に説明する。

第1図は、本発明の一実施例を示したもので、実際は、徐冷点が700℃以下のガラス基板を使用することができるが、図では要部を拡大して示し

てある。

まず、第1図(a)に示したように、絶縁基板(例えば、コーニング社製 7059 ガラス)上に減圧又は常圧0.5 Torrにより活性層となる多結晶Si膜、又はこれにレーザー、電子ビーム、ランプ光等を照射してアニールを施し、結晶化したSi膜2を形成する。

次に第1図(b)に示したように、シリコン膜2上に常圧0.5 Torr又は減圧0.5 Torrにより絶縁膜を形成し、これをゲート絶縁膜3とする。

その後第1図(c)に示したように基板全面に多結晶膜を形成し、フォトリソ技術により第1図(d)のように、多結晶膜4及びゲート絶縁膜3をパターンニングしてゲート電極4を形成する。

以上の工程を経た基板上に第1図(e)に示したように、リン、ボロン、ヒ素等の不純物を含む液状の絶縁物質(例えば、東京応化製、商品名0.0D)を、スピナー法あるいはロールコート法により塗布し、プリベーク、ポストベークを施して均一な絶縁膜5を形成する。次いでレーザー照射

を施すと、第1図(f)に示したように、絶縁膜5に含まれる不純物がゲート絶縁膜3を介してSi膜2中に拡散する。6はその拡散層を示し、ソース、ドレイン領域となる。なおレーザー照射は、真空中又は不活性ガス雰囲気中に限らず、大気中においても行える利点もある。

ここで、公開特許公報昭62-117371の図2で示されるように、ゲート絶縁膜を、ゲート電極と同時にリソグラフィ技術で形成しようとする、ゲート絶縁膜部分のオーバーエッチングが生じ、ゲート電極とソース、又はドレイン電極間の耐圧特性が低下するため、歩留りが低下する。一方本件のように、ゲート絶縁膜3のリソグラフィのパターンをゲート電極膜4のパターンより大きく(例えば1μm)すると、前記のオーバーエッチングの問題が解決する。又、ソース領域、ドレイン領域からの不純物の横拡散のため、第2図(b)に示すように、ソース、及びドレイン領域とゲート電極膜と整合性はよい。

さらに、レーザー照射によって不純物を多結晶

シリコン膜へ拡散するため、基板の加熱が少なく済むことから、石英に限らず、一般的な絶縁基板（例えばコーニング社7059）上にSOI型MOS型トランジスタを製作することができる。

選択的に不純物拡散を行なった後、第1図（g）に示したように、絶縁膜5の上に不純物を含まない絶縁膜7を塗布法あるいは減圧OVD法あるいは常圧OVD法により形成する。この絶縁膜7は層間絶縁膜となるものである。

次に、第1図（h）に示したように、絶縁膜7及び5を貫通し拡散層6に達する開孔部8及びゲート電極膜4に達する開孔部9を形成する。その後、第1図（i）に示したように、それらの開孔部8、9を埋めるようにして金属膜10を形成し、これを第1図（j）に示したように、パターンニングしてゲート電極11、ソース、ドレイン電極12、13を形成する。

以上のような本実施例の工程によれば、ソース、ドレイン領域に対する不純物拡散が自己整合的

に行われ、しかも、熱拡散によらず、レーザーで不純物拡散を行うので、基板が高温にさらされることがないので石英に比べ安価なガラス（例えばコーニング社7059ガラス）を絶縁基板に用いることが可能である。

なお、本実施例における具体的形成条件を以下に示す。

多結晶Si LP OVD法

圧力	～0.1 torr
反応ガス	SiH ₄
膜厚	～5000 Å
基板温度	500～700℃

結晶化アニール レーザアニール法

レーザーパワー	10 W/cm ²
ビーム径	～1 cmφ
掃引速度	～5 cm/sec

ゲート絶縁膜 AP OVD法 SiO₂

圧力	1 atm
反応ガス	SiH ₄ 及び O ₂
膜厚	500～2000 Å

膜厚 ～1 μm

基板温度 300～500℃ ゲート電極膜 多結晶Si LP OVD法

圧力	～0.1 torr
反応ガス	SiH ₄
膜厚	～5000 Å
基板温度	500～700℃

不純物拡散用絶縁膜 東京応化製OOD

粘度	～1 cP
プリベーク	150～400℃
膜厚	～3000 Å

拡散 レーザー照射

レーザーパワー	10 W/cm ²
ビーム径	～1 cmφ
掃引速度	～5 cm/sec

層間絶縁膜 AP OVD法 SiO₂

圧力	1 atm
反応ガス	SiH ₄ 及び O ₂
膜厚	1000～8000 Å
基板温度	300～500℃

電極膜 スパッタ法 or

〔発明の効果〕

以上説明したように、本発明によれば、SOI型MOSトランジスタの製造工程において、所定のパターンを有するシリコン膜及びゲート電極膜を覆うようにして不純物拡散用絶縁膜を形成し、これにレーザー照射することにより自己整合的にシリコン膜中に選択的に不純物拡散を行うことができ、しかも、熱拡散法を使わないため、絶縁基板の温度を1000℃以上に上げる必要がないので、安価なガラス（例えばコーニング社7059）を絶縁基板に用いることが可能である。

またゲート絶縁膜がゲート電極膜より広くとつてあるため、ゲート耐圧が高くなるので歩留りが高くなること、熱拡散を用いないため、加熱、冷却の時間が節約できること、30 cmφ以上の大面積に不純物分布が均一で、しかも高精度に濃度制御された不純物拡散が可能となるなど、大きな利点を有するものである。

4. 図面の簡単な説明

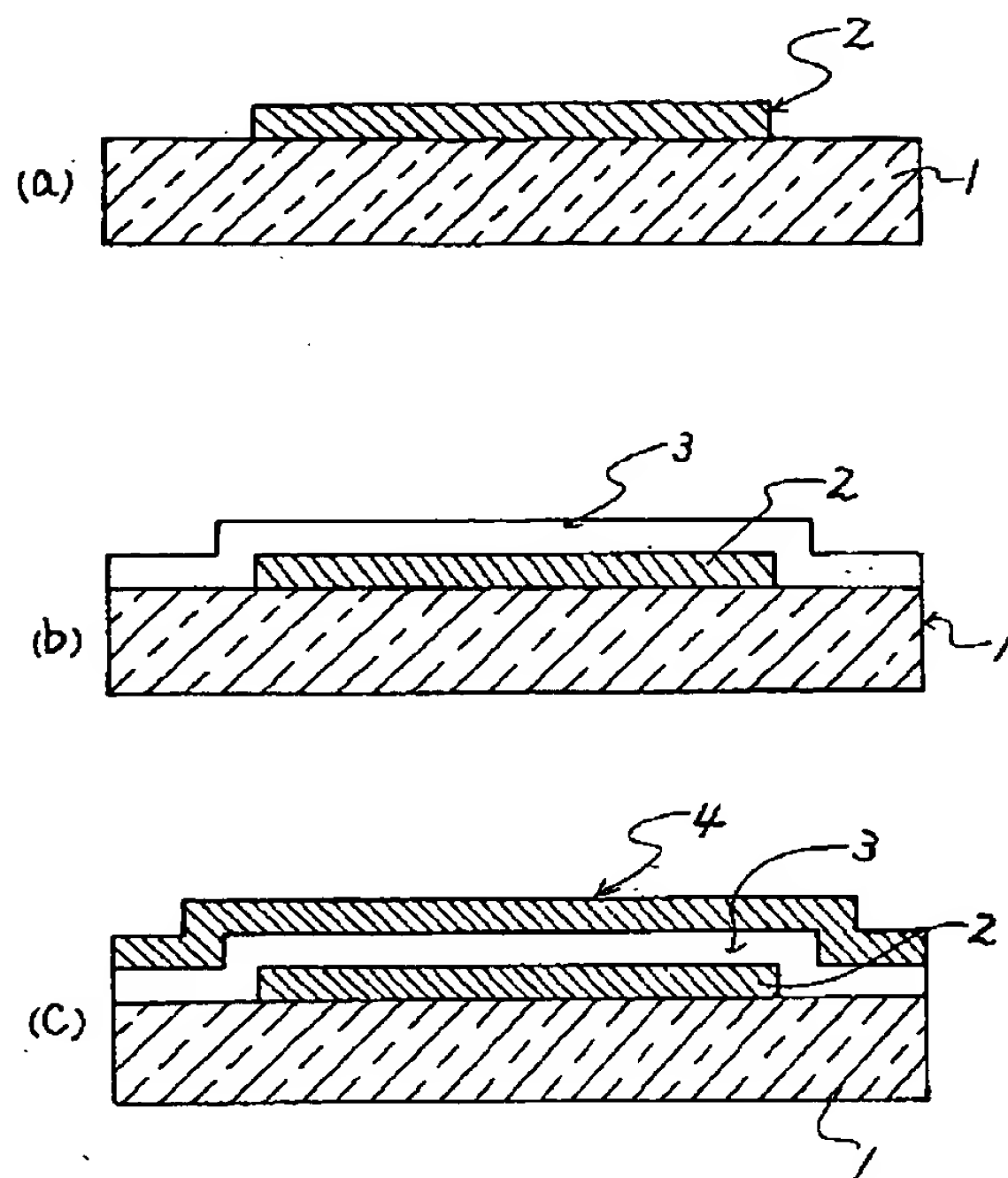
第1図は、本発明の一実施例の一連の製造工程を示す工程断面図、第2図は、本発明の他の実施例の要部を示す断面図である。

- 1 …… 絶縁基板（例えばコーニング社7059）
- 2 …… 多結晶Si膜又はアニール処理により結晶化されたSi膜
- 3 …… ゲート絶縁膜
- 4 …… ゲート電極膜
- 5 …… 拡散用不純物を含む絶縁膜
- 6 …… 拡散層
- 7 …… 不純物を含まない絶縁膜
- 8, 9 …… 開孔部
- 10 …… 金属膜
- 11 …… ゲート電極
- 12, 13 …… ソース, ドレイン電極

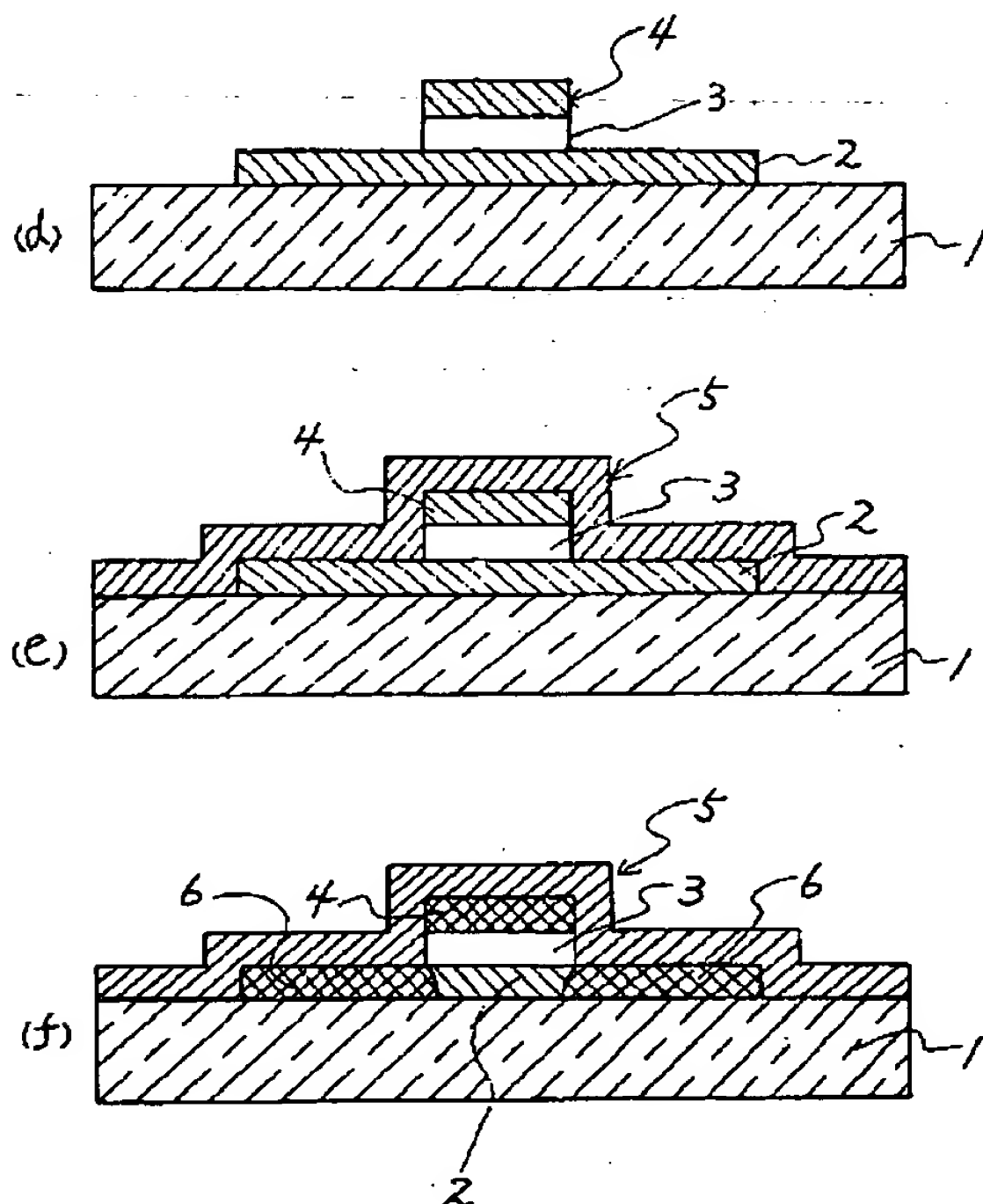
以上

出願人 セイコーエプソン株式会社

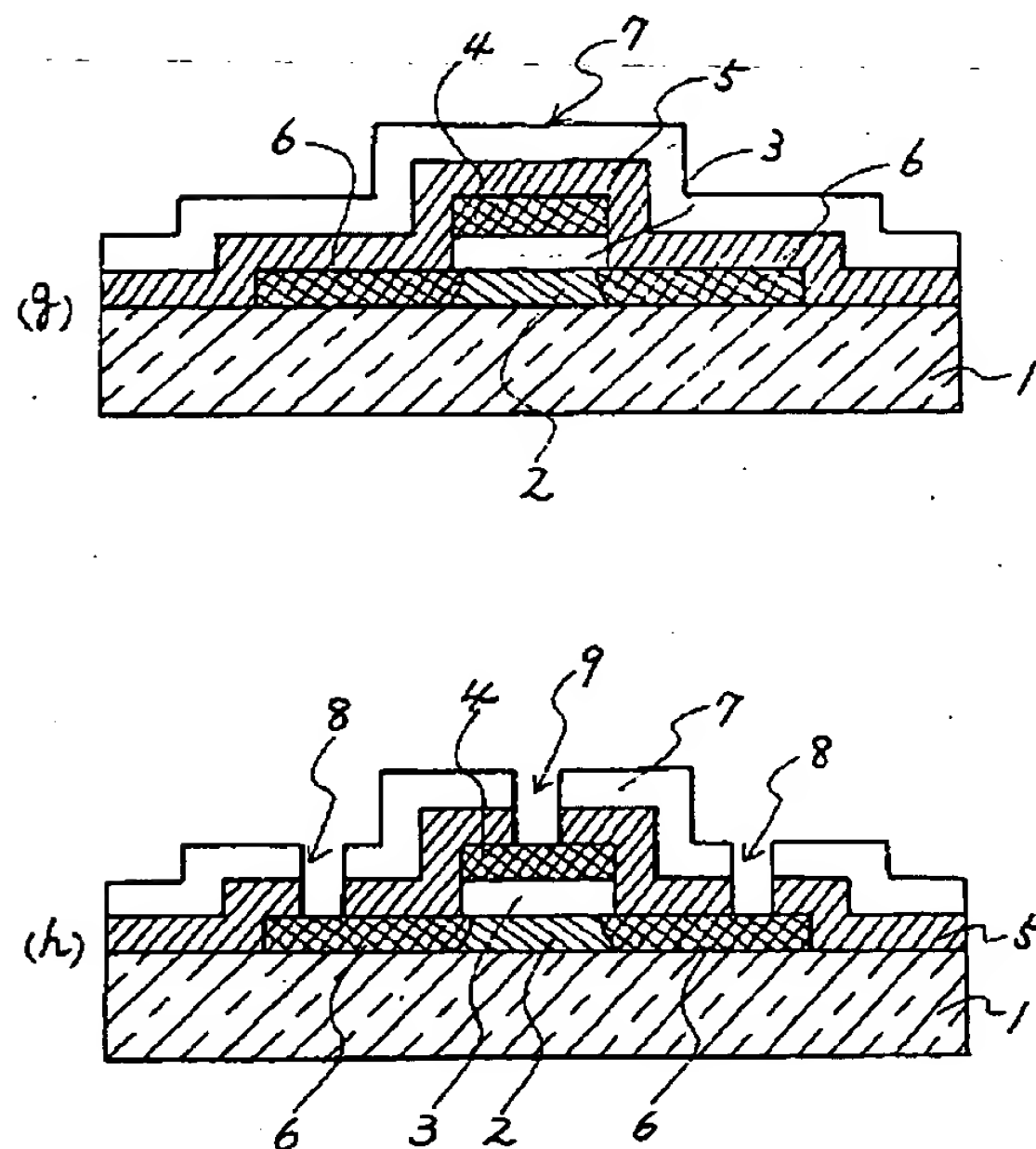
代理人 弁理士 上柳雅賢(他1名)



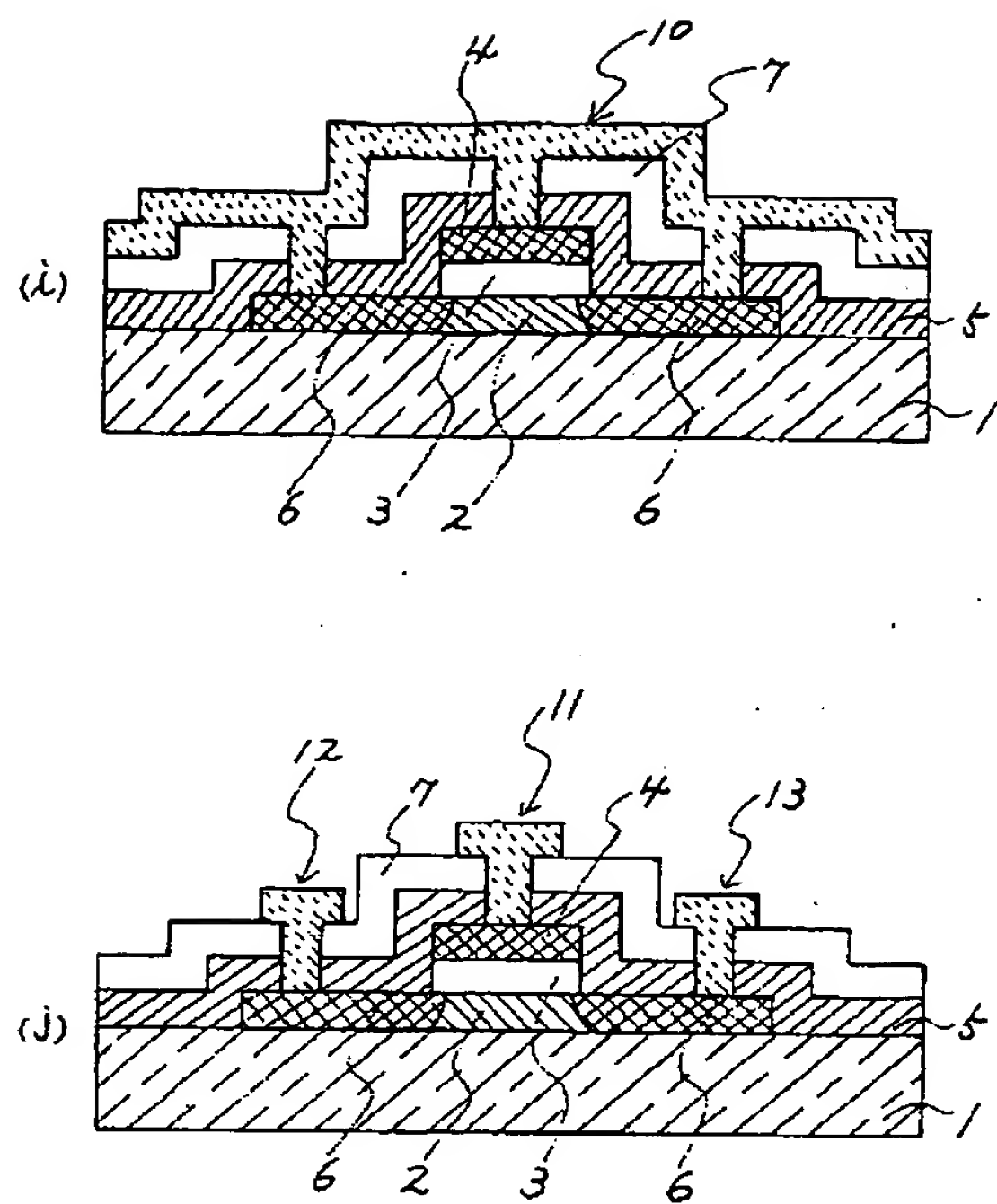
第1図



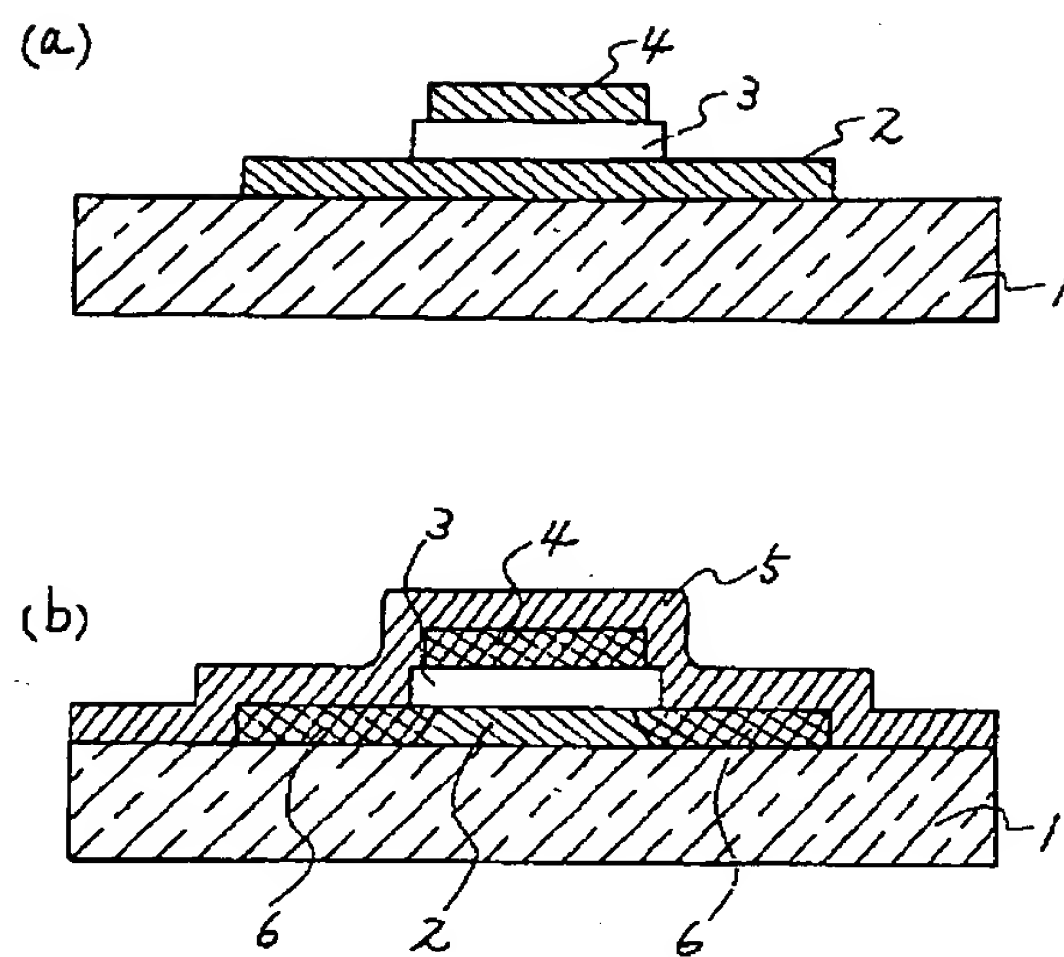
第1図



第1図



第 1 図



第 2 図

(19) Japanese Patent Office (JP)

(12) Publication of Patent Application

(11) Publication Number of Patent Application: JP-A-2-
224340

(51) Int. Cl.⁵ H01L 21/336, 21/20, 21/263, 29/784

Identification Number:

Number of the Document: 7739-5F, 8624-5F, H01L 29/78,
311Y

(43) Publication Date: September 6, 1990

Request for Examination: not made

Number of Claims: 1(5 pages in total)

(54) Title of the Invention: Method of Manufacturing
Thin-Film Transistor

(21) Application Number: 01-45608

(22) Application Date: February 27, 1989

(72) Inventor: Tsutomu HASHIZUME

c/o Seiko Epson Corporation, 3-5, 3-chome, Owa, Suwa-shi,
Nagano-ken

(72) Inventor: Masatoshi YAZAKI

c/o Seiko Epson Corporation, 3-5, 3-chome, Owa, Suwa-shi,
Nagano-ken

(72) Inventor: Kazuo YUDASAKA

c/o Seiko Epson Corporation, 3-5, 3-chome, Owa, Suwa-shi,
Nagano-ken

(71) Applicant: Seiko Epson Corporation, 4-1, 2-chome,

Shinjuku, Shinjuku-ku, Tokyo

(74) Agent: Patent Attorney, Masashige KAMIYANAGI et al.

Specification

1. Title of the Invention

Method of Manufacturing Thin-Film Transistor

2. Claim

A method of manufacturing a thin-film transistor, comprising the steps of: forming a polycrystalline silicon layer having a specified pattern or a silicon layer crystallized by annealing the polycrystalline silicon layer on an insulated substrate; forming a gate insulator film on the silicon layer; forming a gate electrode layer on the gate insulator film; forming an insulator film containing diffusion impurities on the processed substrate; forming a diffusion layer by applying a laser to the impurities contained in the insulator film to diffuse the impurities contained in the insulator film selectively into the silicon; forming an insulator film containing no impurity on the processed substrate; forming an opening that passes through the insulator film containing no impurity and the impurity-diffusing insulator film to reach the diffusion layer and

an opening that passes therethrough to reach the gate electrode layer; forming openings that pass through the openings to reach the diffusion layer and the gate electrode layer; and forming an electrode-drawing metal layer connected to the diffusion layer and the gate electrode layer through the openings.

3. Detailed Description of the Invention

[Industrial Field of Application]

The present invention relates to a method of manufacturing a silicon-on-insulator (SOI) MOS transistor.

[Prior Art]

When electrodes are drawn from semiconductors, heavily doped impurity diffusion regions are generally formed, which are used as contact with the electrodes. As in disclosed in JP-A-62-117371, the heavily doped impurity diffusion regions have been formed by using phosphosilicate glass (PSG) or boron-silicate glass (BSG) produced by low-pressure or atmospheric-pressure CVD as diffuser and being heat-treated in an inert gas atmosphere.

[Problems that the Invention Is to Solve]

However, the above-mentioned method has the problem of a high manufacturing cost, because the heat treatment for the diffusion is performed at high temperature, e.g.,

at 1000°C, and accordingly the insulated substrate is limited to some materials such as quartz, so that insulated substrates (e.g., Corning's 7059 glass) with a strain point from about 600 to 700°C) cannot be used.

The present invention has been made to solve the foregoing problems, accordingly, has as an object the provision of a method of manufacturing a thin-film transistor in which an impurity diffusion region is formed on an insulated substrate such as a glass with a low strain point, from which source and drain electrodes are drawn.

[Means for Solving the Problems]

A method of manufacturing a thin-film transistor according to the invention is characterized by including the steps of: forming a polycrystalline silicon layer having a specified pattern or a silicon layer crystallized by annealing the polycrystalline silicon layer on an insulated substrate; forming a gate insulator film on the silicon layer; forming an insulator film containing diffusion impurities on the processed substrate; forming a diffusion layer by applying a laser to selectively diffuse the impurities contained in the insulator film; forming an insulator film containing no impurity on the diffusion-processed substrate; forming an insulator film containing no impurity; forming an opening

that passes through the insulator film containing no impurity and the impurity-diffusing insulator film to reach the diffusion layer and an opening that passes therethrough to reach the gate electrode layer; and forming an electrode-drawing metal layer connected to the diffusion layer and the gate electrode layer through the openings.

[Embodiments]

Preferred embodiments of the present invention will be described with reference to the drawings. Fig. 1 shows enlarged essential parts of an embodiment of the invention, in which a glass substrate with a slow-cooling point of 700°C or less can be used in practice.

As shown in Fig. 1(a), a polycrystalline silicon layer which becomes active by low-pressure or atmospheric-pressure CVD is formed on an insulated substrate (e.g., Corning's 7059 glass) or a silicon layer 2 is formed which is crystallized by annealing it by applying a laser beam, an electron beam, lamp light and so forth thereon.

Then, as shown in Fig. 1(b), an insulator film is formed on the silicon layer 2 by low-pressure or atmospheric-pressure CVD to form a gate insulator film 3.

Then, as shown in Fig. 1(c), a polycrystalline layer is formed on the entire surface of the substrate, and the

polycrystalline layer 4 and the gate insulator film 3 are subjected to patterning by photolithography to form a gate electrode 4, as shown in Fig. 1(d).

As shown in Fig. 1(e), a liquid insulating material (e.g., OCD manufactured by Tokyo Ohka Kogyo Co., Ltd.) containing impurities such as phosphorous, boron, and arsenic is applied on the substrate thus processed by a spinner or a roll coating method and then subjected to prebaking or postbaking to form a uniform insulator film 5. When it is then radiated with a laser beam, the impurities contained in the insulator film 5 diffuse into the silicon layer 2 through the gate insulator film 3, as shown in Fig. 1(f). Numeral 6 indicates the diffusion layer, which serves as a source and a drain region. The radiation of laser has the advantage that it can be performed not only in a vacuum or an inert gas atmosphere but also in the atmosphere.

When the gate insulator film and the gate electrode are formed at the same time by photolithography, as shown in Fig. 2 of JP-A-62-117371, the gate insulator film is overetched to reduce the pressure resistance between the gate electrode and the source or drain electrode, decreasing yields. On the other hand, when the lithography pattern of the gate insulator film 3 is made larger than that of the gate electrode layer 4 (e.g., 1

μm), as in the invention, the problem of overetching can be solved. Also, the source and drain regions and the gate electrode layer are aligned well with each other, as shown in Fig. 2(b), since the impurities are diffused laterally through the source and drain regions.

Furthermore, the impurities are diffused into the polycrystalline silicon layer by laser irradiation. This reduces the need for heating the substrate, so that the SOI MOS transistor can be formed not only on a quartz substrate but also on common insulated substrates (e.g., Corning's 7059 glass).

After the impurities have been diffused selectively, an insulator film 7 that contains no impurity is formed on the insulator film 5 by application of low-pressure or atmospheric-pressure CVD, as shown in Fig. 1(g). The insulator film 7 serves as an interlayer insulator film.

Then, as shown in Fig. 1(h), an opening 8 that passes through the insulator films 7 and 5 to reach the diffusion layer 6, and an opening 9 that passes therethrough to reach the gate electrode layer 4 are formed. Then, as shown in Fig. 1(i), a metal film 10 is formed so as to fill the openings 8 and 9. It is subjected to patterning to form a gate electrode 11 and source and drain electrodes 12 and 13, as shown in Fig. 1(j).

According to the process of the embodiment, the impurity diffusion to the source and drain regions is performed in a self-alignment manner and, moreover, it is performed not by thermal diffusion but by laser irradiation, so that the substrate is not subjected to high temperature. This allows a glass (e.g., Corning's 7059 glass) that is less expensive than quartz to be used as the insulated substrate.

Concrete forming conditions of the embodiment are as follows:

Polycrystalline Silicon: Low-pressure CVD

Pressure: at most 0.1 torr

Reactant Gas: SiH_4

Film Thickness: at most 5000 Å

Substrate Temperature: 500 to 700°C

Crystallization Annealing: Laser Annealing

Laser Power: 10 W/cm²

Beam Diameter: at most 1 cm ϕ

Sweep Rate: at most 5 cm/s

Gate Insulator Film: AP-CVD, Silicon Dioxide

Pressure: 1 atom.

Reactant Gas: SiH_4 and O_2

Film Thickness: 500 to 2000 Å

Substrate Temperature: 300 to 500°C

Gate Insulator Film: Polycrystalline Silicon, LP-CVD

Pressure: at most 0.1 torr

Reactant Gas: SiH_4

Film Thickness: at most 5000 Å

Substrate Temperature: 500 to 700°C

Impurity Diffusing Insulator Film: OCD manufactured
by Tokyo Ohka Kogyo

Viscosity: at most 1 cP

Prebaking: 150 to 400 °C

Film Thickness: at most 5000 Å

Diffusion: Laser Irradiation

Laser Power: 10 W/cm²

Beam Diameter: at most 1 cm ϕ

Sweep Rate: at most 5 cm/s

Interlayer Insulator Film: AP-CVD, Silicon Dioxide

Pressure: 1 atom.

Reactant Gas: SiH_4 and O_2

Film Thickness: 1000 to 8000 Å

Substrate Temperature: 300 to 500°C

Electrode Layer: Sputtering, Cr

Film Thickness: at most 1 μm

[Advantages of the Invention]

As has been described, in the method of manufacturing an SOI MOS transistor according to the invention, an impurity-diffusing insulator film is formed so as to cover a silicon layer and a gate electrode layer

having a specified pattern, which is radiated with a laser to allow impurities to be diffused selectively into the silicon layer in a self alignment manner. Moreover, there is no need to increase the temperature of the insulated substrate to 1000°C or more because thermal diffusion is not adopted, allowing an inexpensive glass (e.g., Corning's 7059 glass) to be used as the insulated substrate.

The invention offers significant advantages of providing high gate pressure resistance to increase yields since the gate insulator film is wider than the gate electrode layer, saving the time for heating and cooling because thermal diffusion is not adopted, and allowing impurity diffusion in which impurities are diffused evenly in a large area of more than 30 cm in diameter and of which the concentration is controlled at high accuracy.

4. Brief Description of the Drawings

Fig. 1 is a cross-sectional view of a series of manufacturing processes according to an embodiment of the invention; and Fig. 2 is a cross-sectional view of essential parts of another embodiment of the invention.

1: insulated substrate (e.g., Corning's 7059 glass)

2: polycrystalline silicon layer or silicon layer

crystallized by annealing

3: gate insulator film

4: gate electrode layer

5: insulator film containing diffusion impurities

6: diffusion layer

7: insulator film containing no impurity

8. 9: opening

10: metal layer

11: gate electrode

12, 13: source and drain electrodes